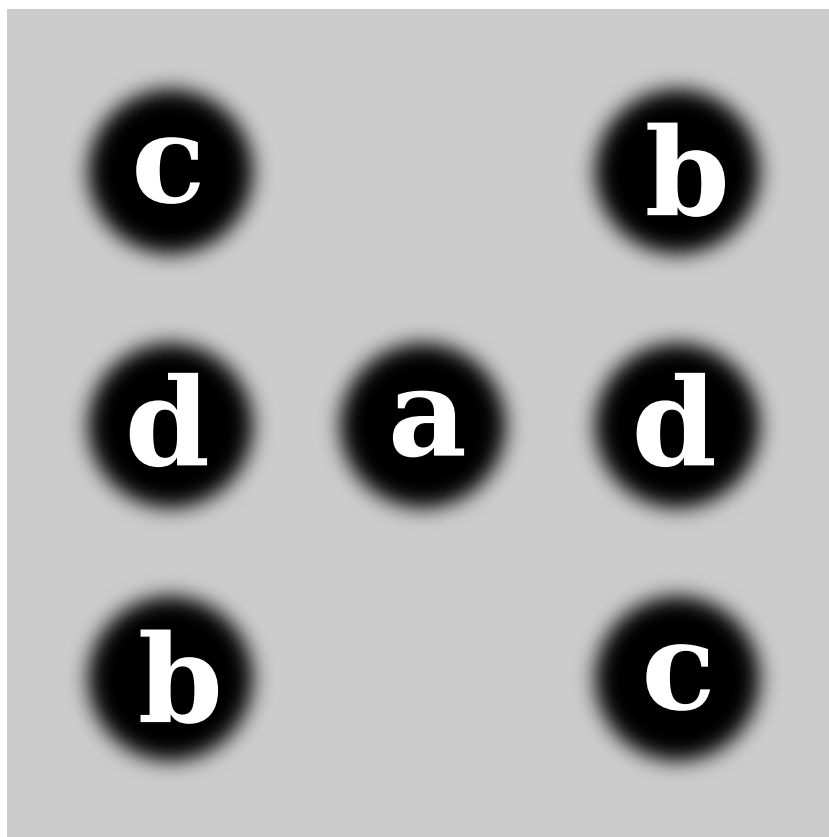

Rafler

PRODUKTIONEN AF EN ELEKTRONISK TERNING



Af:
SAKSE DALUM 3. E
NIELS SERUP 3. E
MARTIN MADSEN 3. E
LASSE CHRISTENSEN 3. E

Vejledere:
NIELS VENDELBO
MATHIAS LARSEN

Fag:
DESIGN & PRODUKTION

Uddannelsessted:
HTX HILLERØD

3. september 2010

RESUMÉ

I denne rapport viser vi hvordan vi har lavet en elektronisk rafler fra bunden af. Vi forklarer hvordan vi er kommet fra papir til computer til kort, og vi viser diagram samt kortlayout. Vi kommer ind på teorien bag de dele vi bruger og dokumenterer vores fejlfinding.

Indholdsfortegnelse

Resumé	1
Indledning	3
Funktion	3
Sandhedstabel	3
I boolske termer	4
Diagram	4
Simulering	7
Stykliste	7
Printplade	8
Layout	8
Montering	8
Fejlfinding	9
Teori	9
Gates	9
AND-gates	9
OR-gates	9
NOT-gates	9
Modstandene	10

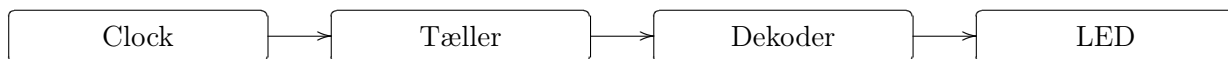
555D	10
Forskellen mellem 7490 og 74393	10
Konklusion	11
Evaluering	11
Referencer	11
Bilag	11
Tidsplan	11

Indledning

I dette projekt vil vi udvikle et diagram for et printplade der kan simulere en terning, vist ved hjælp af syv dioder der forestiller øjnene på terningen. Målet er at komme fra en gennemtænkt logik, hvor det hele teoretisk virker, til en virkelig printplade, som også skal virke.

Funktion

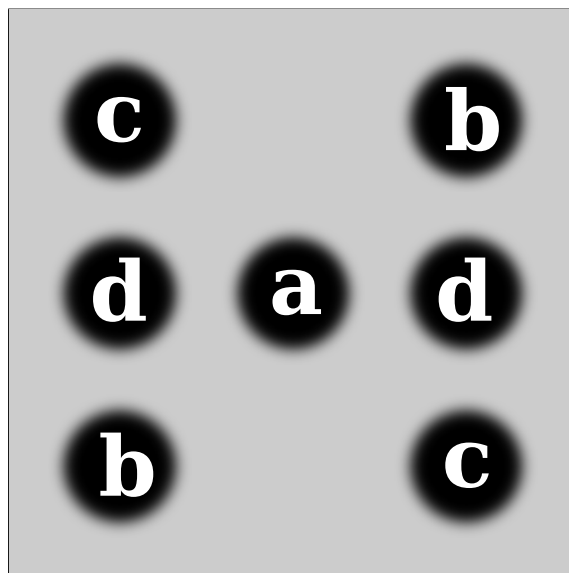
Meget simpelt kan vores terning forstås via dette blokdiagram:



Clocken sørger for at tælleren kører, og vores dekoder

Sandhedstabel

Vi valgte at vores tæller skulle starte på 0 og resettes på 6, og det afspejles naturligvis i sandhedstabellen. Der er 6 mulige faser vist ved hjælp af 7 lamper. Vi går efter denne tegning:



På tegningen er der ingen e, f og g. Dette er fordi vi ret hurtigt indså at terningers design tillader en ret hurtig simplificering lige der.

QC	QB	QA	a	b	c	d
0	0	0	1	0	0	0
0	0	1	0	1	0	0
0	1	0	1	1	0	0
0	1	1	0	1	1	0
1	0	0	1	1	1	0
1	0	1	0	1	1	1
1	1	0	0	0	0	0
1	1	1	0	0	0	0

I boolske termer

Det hele så ret simpelt ud, og vi følte ikke behov for at bruge et Karnaugh-kort. Dette er vores rå udtryk.

$$a = \overline{QC}$$

$$b = QA + QB + QC$$

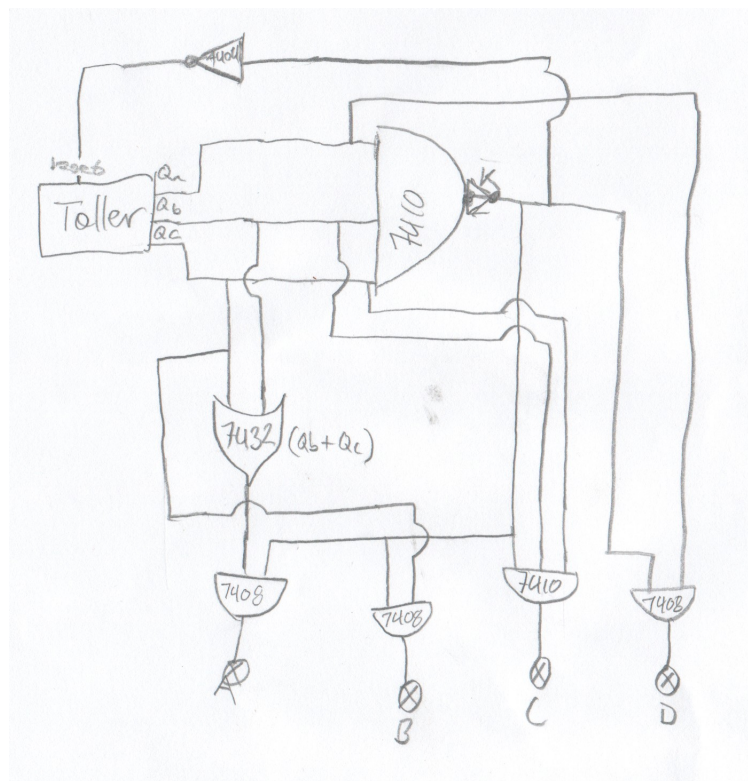
$$c = QA + (QB \cdot QC)$$

$$d = QA \cdot QC$$

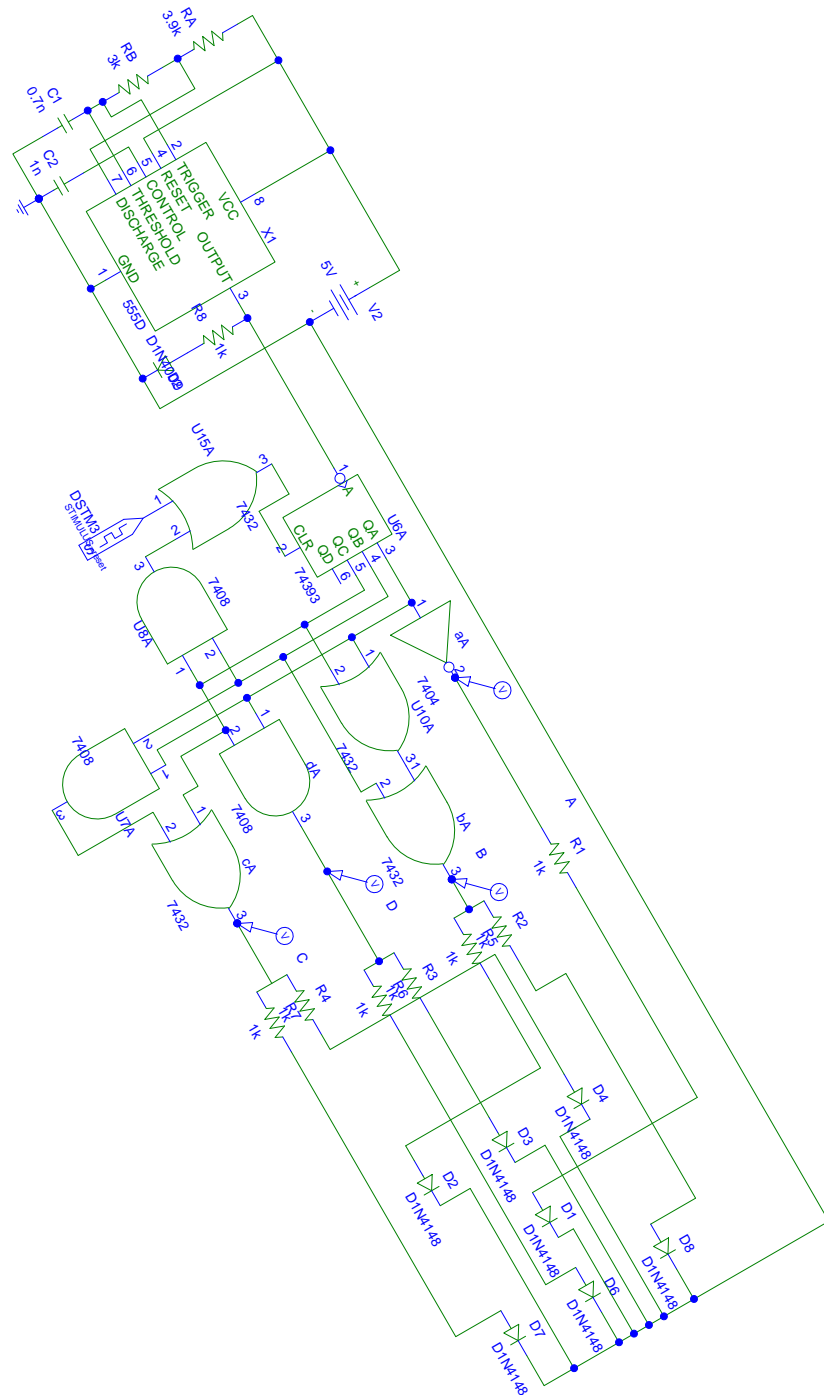
Dette kan ikke reduceres yderligere, kan vi se.

Diagram

Først tegnede vi et hurtigt diagram i hånden.

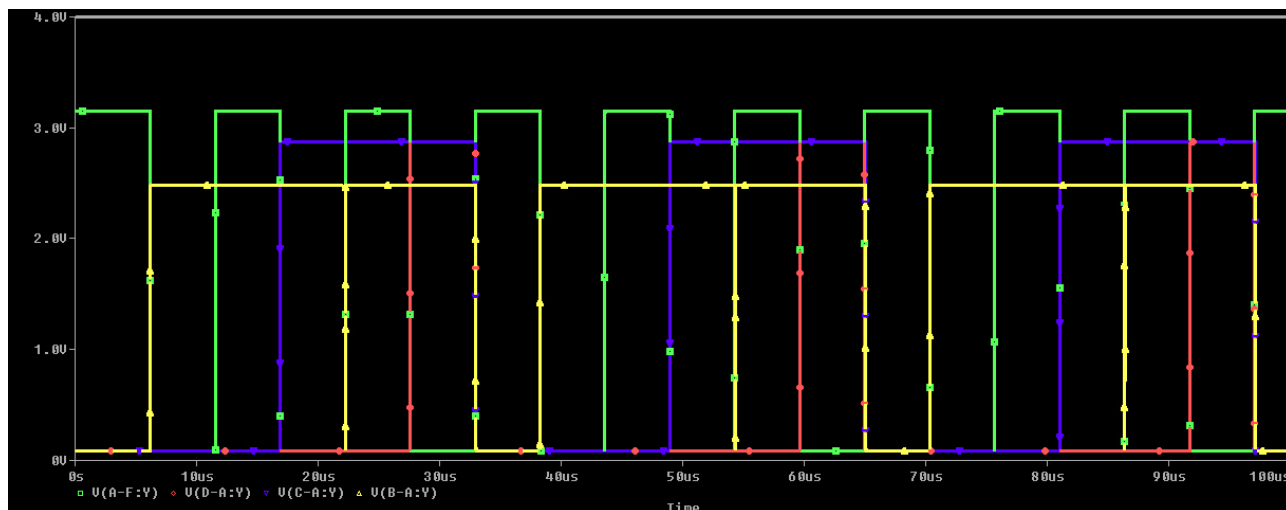


Dette manglede visse detaljer, og det kunne desuden godt optimeres. Vi tegnede det ind på computeren og forbedrede det samtidigt. Det kan ses på næste side.



Simulering

Vi simulerede vores diagram, og det virkede — efter lidt små ændringer — som planlagt. Vi fik en kurve der viste at vores logik fungerede fint.



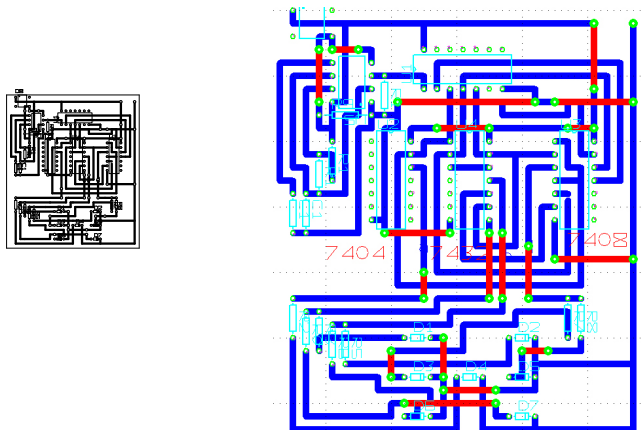
Stykliste

Vare	Antal	Pris
R 4k	1	0,53 kr.
R 3.9k	1	0,53 kr.
R 3k	1	0,53 kr.
R 1k	1	0,53 kr.
R 330	7	0,53 kr. x 7 = 3,71 kr.
555D	1	1,60 kr.
Knap	1	0,80 kr.
74393	1	3,01 kr.
C 0.7n	1	0,45 kr.
C 1n	1	0,45 kr.
7404	1	3,60 kr.
7432	1	3,60 kr.
7408	1	3,60 kr.
Lysdioder	7	2,88 kr. x 7 = 20,16 kr.
Printplade	1	Ca. 10 kr. for os
Total:	26	35,82 kr.

Vi har regnet med at man køber dem i pakker for at få rabat.

Printplade

Layout



Montering

Fremstillingen af printpladen foregik på den måde, at vi fik skåret et skåret en plade, der passede til vores printudlæg. Vi tog dernæst printpladen med ned til fremkaldingslokalet, hvor vi først fik belyst vores plade i ca. 3 minutter, med printudlægget liggende på pladen. Vi havde da en plade med en svag optegning af vores kredsløb. Vi skyllede derpå hurtigt pladen, hvorefter den skulle en tur i fremkaldevæsken i ca. 30 sekunder. Da pladen var blevet fremkaldt, skulle den igen skylles og dernæst lægges i en ætsende væske i ca. 25-30min for at fjerne det beskyttende lag, der er på printpladen.

Da ætsningen var færdig, gik vi igang med at bore hullerne, som komponenterne skulle sidde i. Vi fandt dog ud af at det havde været noget smartere, hvis vi havde afsprittet pladen før boringen, fordi papiret som vi havde sprit på, netop fordi det var vådt, satte sig i hullerne. Det gik, men det blev til lidt pil-arbejde at få papiret ud af hullerne.

Da vi endelig havde fået afsprittet vores printplade, gjaldt det monteringen af de forskellige komponenter. Vi placede komponenter i deres respektive placeringer på printpladen, og fik derefter loddet dem fast. Lodningen skabte dog nogle problemer, eftersom at nogle af lodninger ikke holdt/ikke var lavet, sådan at visse komponenter ikke havde ordentlig forbindelse.

Fejlfinding

Teori

Gates

AND-gates

For at en AND-gates output er høj, skal begge dens inputs være høje. Vi bruger 7408.

Sandhedstabel

0	0		0
0	1		0
1	0		0
1	1		1

OR-gates

For at en OR-gates output er høj, skal en eller flere af dens inputs være høje. Vi bruger 7432.

Sandhedstabel

0	0		0
0	1		1
1	0		1
1	1		1

7432 har kun to indgange, men man kan nemt kombinere flere OR-gates med hinanden for at få flere indgange. Fx kan man ved brug af to OR-gates sætte den anden OR-gates ene input til den første OR-gates output. På den måde ender man med 3 inputs — 2 fra den første og en fra den sidste — og et output. Denne teknik har vi brugt i designet af vores diagram.

NOT-gates

En NOT-gate inverterer dets input. Høj bliver lav, lav bliver høj. Vi bruger 7404.

Sandhedstabel

0		1
1		0

Modstandene

Vi er nødsaget til at indsætte modstande før alle lysdioderne, da spændingen ellers er for høj. I kredsløbet er spændingen på 5 Volt når det er højt, og lysdioderne skal ikke have over 3 V. Ved hjælp af Ohms lov kan vi regne os frem til hvor meget modstand der skal tilføres.

Vi ved at lysdioden arbejder ved ca. 10mA.

$$\begin{aligned}U &= R \cdot I \Leftrightarrow \\R &= \frac{U}{I} \Leftrightarrow \\R &= \frac{3V}{10mA} \Leftrightarrow \\R &= \underline{\underline{300\Omega}}\end{aligned}$$

555D

Vi bruger timeren 555D som vores clock. Denne timer kan både fungere som en monostabil timer og en ustabil timer. Vi bruger dens ustabile tilstand som er beregnet til clocks og oscillatorer generelt. De to modstande RA og RB og den ene capacitor C (som vist på vores diagram (C som C1)) kan justeres for at justere frekvensen. I databladet for denne timer finder man følgende formel som kan bruges til at udregne frekvensen¹:

$$f = \frac{1,44}{(R_A + 2 \cdot R_B) \cdot C}$$

Vi har valgt at bruge en 3,9k-modstand som RA og en 3k-modstand som RB. Vores capacitor er på 0.7nF. Udfra dette kan vi udregne den frekvens som vi bør få.

$$f = \frac{1,44}{9,9k\Omega \cdot 0,7nF} \approx \underline{\underline{207,8kHz}}$$

Med denne høje frekvens burde det ikke være muligt for os at forudsige hvad der bliver raflet næste gang, og vores terning vil derfor have en praktisk anvendelse.

Forskellen mellem 7490 og 74393

Som tæller bruger vi modellen 74393 frem for 7490. Begge modeller kan agere som binære tællere, men 74393 har færre mærkeligheder. 7490 har en række lidt underlige ben, og ved at forbinde dem på forskellige måder kan man ændre dens funktion til at være både en binær decimaltæller (BCD) og en bi-kvinær tæller²³ (en kombination af 2, bi, og 5, kvinær).

¹LM555/LM555C Timer.

²DM74LS90/DM74LS93 Decade and Binary Counters.

³CD74HC393, CD74HCT393 High Speed CMOS Logic.

Det giver derfor mest mening at bruge en 74393.

Konklusion

Vi kan konkludere at elektronik på "raflerniveau" rent teoretisk er simpelt og langt henad vejen forståeligt, men at det i praksis godt kan give problemer.

Evaluering

Vi har i takt med processens fremgang indset at en gruppe på fire mennesker er en gruppe med for mange mennesker. Denne opgave var ikke stor nok til at kunne spredes over så stort et antal personer, og selv hvis den havde været større, ville det stadig være besværligt at uddelegere arbejdet. Vi har overlevet, men i næste projekt går vi ikke alle i gruppe sammen igen.

Flere af de ting vi har lavet har været helt nye for os alle, og mens teorien har været relativt nem at forstå, har især dele af produktionen af kortet været nye for os. Processerne var ikke så svære i sig selv, men det var lidt svært at få dem alle til at hænge sammen.

Referencer

CD74HC393, CD74HCT393 High Speed CMOS Logic. Harris Semiconductor.
DM74LS90/DM74LS93 Decade and Binary Counters. National Semiconductor.
LM555/LM555C Timer. National Semiconductor.

Bilag

Tidsplan

Tiden har været rigelig, men da alt dette var nyt for os, tog det meste længere end planlagt. Vi arbejdede efter en ret løs tidsplan hvilket var fordi vi ikke helt vidste i hvilken rækkefølge vi skulle gøre de forskellige ting.